



## YD14SAP – domácí úloha SEK (sekvenční obvody)

Letní semestr 2009/2010

**Číslo zadání:** ..... (bude rozesláno e-mailem)

### Zadání:

Na přípravku BASYS 2 s obvodem Spartan 3E XC3S100E (CP132) realizujte synchronní konečný automat (FSA) Moorova typu s funkcí **generátor zadané pětiprvkové posloupnosti** čísel (konkrétní hodnoty jednotlivých prvků posloupnosti budou rozeslány e-mailem a rozdány na přednášce). Automat navrhnete se synchronním nulováním. Paměťové členy zvolte typu „D“ řízené vzestupnou hranou hodinového signálu (typ FD v návrhovém systému).

**Posloupnost [ , , , , ] (bude rozesláno e-mailem)**

Stavy zakódujte tak, aby **výstupní funkce** byla identitou, tj. tři bity **q2, q1, q0** reprezentující stav automatu budou dohromady tvořit přímo binární reprezentaci žádaného čísla posloupnosti. **Přechodová funkce** se při řešení rozpadne na tři logické funkce (pro **d2, d1, d0**) čtyř proměnných (**reset, q2, q1, q0**). Hodnoty jednotlivých přechodových funkcí pro stavy neobsažené v zadané posloupnosti považujte při neaktivním resetu (**reset = 0**) za neurčené. Toho využijte při minimalizaci funkcí pomocí Karnaughovy mapy.

Volitelné: Doplněte výstupní funkci dekodér sedmissegmentového displeje (zde můžete použít hotové stavební prvky).

### Přiřazení signálů:

Prvky	Popis	Proměnná	Signál	Pin	Typ
Tlačítko	synchronní reset	reset	BTN_0	G12	vstup
Oscilátor	hodinový signál	clk_1Hz	clk_1Hz	C8	vstup
LED	zobrazení synchronního resetu	s_reset	LD_7	G1	výstup
LED	zobrazení hodinového signálu	s_clk	LD_6	P4	výstup
LED	zobrazení nejméně významného stavového bitu / výstupu generátoru posloupnosti	q_0	LD_0	M5	výstup
LED	zobrazení stavového bitu / výstupu generátoru posloupnosti	q_1	LD_1	M11	výstup
LED	zobrazení nejvíce významného stavového bitu / výstupu generátoru posloupnosti	q_2	LD_2	P7	výstup



## **Proved'te:**

1. Navrhnete blokové schéma FSA.
2. Sestavte stavový diagram.
3. Sestavte tabulku přechodů a výstupů.
4. Zvolte kódování stavů a výstupů.
5. Proved'te minimalizaci funkcí s využitím Karnaughovy mapy (K-mapa).
6. Navrhnete zapojení z hradel a paměťových členů.
7. V programovém prostředí „ISEWebpack“ vytvořte projekt a v editoru schémat realizujte zapojení synchronního konečného automatu, přiřaďte označení vstupních a výstupních signálů podle výše uvedené tabulky.
8. Po provedení překladu do technologického schématu v projektu generujte simulační program ve formátu VHDL a v testovacím procesu definujte časovou posloupnost vstupních signálů dokumentující správnou funkci zapojení. Proved'te testování funkce v simulačním prostředí „ISim (Behavioral)“.
9. Proved'te implementaci technologického schématu do obvodu „XC3S100E“ a následně proved'te testování funkce zapojení v simulačním prostředí „ISim (Post-Route)“ s respektováním časového zpoždění signálu při průchodu obvodem.

## **Požadavky na dokumentaci:**

1. K laboratorní úloze bude vypracována technická zpráva, která bude dokumentovat splnění výše uvedených bodů. Formát odevzdávané zprávy bude „PDF“ nebo „WORD2003“ nebo „HTML“ nebo „OpenOffice“.
2. Technická zpráva a celý projekt ve formátu „ZIP“ budou odevzdány podle požadavku vyučujícího.